

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hideo TAKAGI, et al.

Serial Number: Not Yet Assigned

Filed: November 18, 2003

Customer No.: 38834

For: SEMICONDUCTOR MEMORY DEVICE AND METHOD OF FABRICATING THE SAME.

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

November 18, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

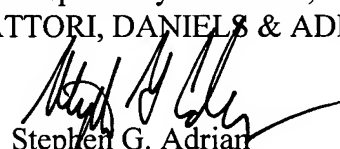
Japanese Appln. No. 2002-355933, filed on December 6, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032108
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/amr

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月 6日

出 願 番 号
Application Number:

特願2002-355933

[ST.10/C]:

[JP 2002-355933]

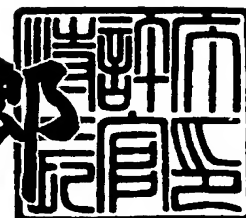
出 願 人
Applicant(s):

富士通エイ・エム・ディ・セミコンダクタ株式会社

2003年 1月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3107247

【書類名】 特許願

【整理番号】 0200175

【提出日】 平成14年12月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 高木 英雄

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 遠田 孝之

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 梅津 美由紀

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 高松 司

【特許出願人】

 【識別番号】 596180124

 【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115175

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 電荷を蓄積するための電荷蓄積膜を形成する工程と、
前記電荷蓄積膜を形成した後、前記電荷蓄積膜に対して水素プラズマ処理を行なって前記電荷蓄積膜に蓄積された電荷を除去する工程と
を有すること特徴とする半導体記憶装置の製造方法。

【請求項 2】 前記プラズマ処理を 4 0 秒～9 0 秒間で行なうことを特徴とする請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 3】 前記電荷蓄積膜を形成した後に、配線を接続するためのコンタクトホールを形成し、当該コンタクトホールを介して前記水素プラズマ処理を行なうことを特徴とする請求項 1 または 2 に記載の半導体記憶装置の製造方法。

【請求項 4】 前記コンタクトホールの内壁に沿ってバリアメタルを形成前、形成中または形成後に、前記水素プラズマ処理を行なうことを特徴とする請求項 3 に記載の半導体記憶装置の製造方法。

【請求項 5】 前記水素プラズマ処理を 3 5 0℃～4 5 0℃で行なうことを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【請求項 6】 電荷を蓄積するための電荷蓄積膜を形成する工程と、
前記電荷蓄積膜を形成した後、前記電荷蓄積膜に対して水素アニール処理を行なって前記電荷蓄積膜に蓄積された電荷を除去する工程と
を有すること特徴とする半導体記憶装置の製造方法。

【請求項 7】 前記電荷蓄積膜を形成した後に、配線を接続するためのコンタクトホールを形成し、当該コンタクトホールを介して前記水素アニール処理を行なうことを特徴とする請求項 6 に記載の半導体記憶装置の製造方法。

【請求項 8】 前記水素アニール処理を 4 0 0℃以上で行なうことを特徴とする請求項 6 または 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 前記電荷蓄積膜が窒化膜、酸化膜と窒化膜とからなる 2 層膜、酸化膜と窒化膜と酸化膜とからなる 3 層膜のいずれかであることを特徴とする請求項 1～8 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【請求項 1 0】 電荷を蓄積するための電荷蓄積膜を有する半導体記憶装置であって、

配線を接続するための第 1 のコンタクトホールに加えて、配線の接続を行わず、前記電荷蓄積膜に対して水素ラジカルまたは水素が拡散しやすくするための第 2 のコンタクトホールを設けることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置及びその製造方法に関し、特に、電荷を蓄積する電荷蓄積部を有するものに適用して好適なものである。

【 0 0 0 2 】

【従来の技術】

電荷を蓄積することでデータの保持を行なう半導体記憶装置は、この電荷を蓄積するための電荷蓄積膜を有しており、この電荷蓄積膜に蓄積された電荷量によってメモリセルトランジスタの閾値電圧 (V_{th}) を変化させて、データの書き込みやデータの消去を行なっている。

【 0 0 0 3 】

上述したデータの書き込みや消去は、例えば SONOS (半導体-酸化膜-窒化膜-酸化膜-半導体) 型半導体記憶装置の場合には、選択されたメモリセルのゲート電極 (ワードライン) と半導体基板 (ビットライン) との間に特定の電位差を設けることによって、電荷蓄積膜に対してホットエレクトロンの注入や band to band tunneling による正孔の注入によって行われる。

【 0 0 0 4 】

【特許文献 1】

特表平 8 - 5 0 7 4 1 1 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、半導体記憶装置の製造において、各製造工程を通じて上述した電荷蓄積膜に不要な電荷が蓄積されてしまうという問題があった。これにより、

半導体記憶装置の書き込みや消去等の動作を行なうときに、電荷蓄積膜に蓄積される電荷の誤差やばらつきが生じて閾値電圧を変化させ、安定した動作を行なう上での障害となっていた。

【 0 0 0 6 】

本発明は上述の問題点に鑑みてなされたものであり、電荷蓄積膜に不要な電荷が蓄積されるのを回避して、閾値電圧を安定させる半導体記憶装置及びその製造方法を実現することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【 0 0 0 8 】

本発明の半導体記憶装置の製造方法は、電荷を蓄積するための電荷蓄積膜を形成する工程と、前記電荷蓄積膜を形成した後、前記電荷蓄積膜に対して水素プラズマ処理を行なって前記電荷蓄積膜に蓄積された電荷を除去する工程とを有することを特徴とするものである。

【 0 0 0 9 】

また、本発明の半導体記憶装置の製造方法の他の態様は、電荷を蓄積するための電荷蓄積膜を形成する工程と、前記電荷蓄積膜を形成した後、前記電荷蓄積膜に対して水素アニール処理を行なって前記電荷蓄積膜に蓄積された電荷を除去する工程とを有すること特徴とするものである。

【 0 0 1 0 】

本発明の半導体記憶装置は、電荷を蓄積するための電荷蓄積膜を有する半導体記憶装置であって、配線を接続するための第1のコンタクトホールに加えて、配線の接続を行わず、前記電荷蓄積膜に対して水素ラジカルまたは水素が拡散しやすくするための第2のコンタクトホールを設けることを特徴とするものである。

【 0 0 1 1 】

【発明の実施の形態】

－本発明の骨子－

半導体記憶装置の製造において、水素プラズマ処理を行なう技術としては、例えば、配線を接続するためのコンタクトホールを形成した後に、TDMATを原材料とするCVD法によりバリア層を形成した場合に、そのTDMATに含まれるカーボン等の異物を除去する目的で使用するものがある。このカーボン等の異物の除去は、水素プラズマ処理を35秒間程度で行なうことで達成されている。

【0012】

その一方で半導体記憶装置の製造においては、電荷を蓄積するための電荷蓄積膜を形成し、その後の各製造工程を通じて、当該電荷蓄積膜に不要な電荷が蓄積され、閾値電圧の誤差やばらつきを生じてしまうという問題があった。製造工程においては、この不要な電荷の電荷蓄積膜への蓄積を回避することは困難であり、電荷蓄積膜から蓄積された不要な電荷を取り除くしか方法はない。そこで、本発明者は、この問題を解決するため、思料の末に以下の発明を想到した。

【0013】

本発明は、電荷蓄積膜を形成した後に、当該電荷蓄積膜に対して水素プラズマ処理を所定時間で行なうことによって、水素ラジカルを電荷蓄積膜内に拡散させ、蓄積された不要な電荷（負電荷）を電荷蓄積膜から除去するようにしたものである。また、この水素プラズマ処理を上述したコンタクトホールを形成した後に行なえば、工程を増やすことなく、電荷蓄積膜の不要な電荷を除去することができる。

【0014】

この電荷蓄積膜の不要な電荷を除去するための水素プラズマ処理は、電荷蓄積膜に蓄積された不要な電荷を除去するという特殊性から、上述したカーボン等の不純物の除去を目的に行なう短時間での水素プラズマ処理では到底達成することができない。後述する閾値電圧の特性結果より、5nmのチタンナイトライド膜（CVD-TiN膜）に対しては、少なくとも40秒以上の水素プラズマ処理を行わなければ、電荷蓄積膜に蓄積された不要な電荷を除去するという目的を達成することはできない。その一方で、半導体記憶装置の製造におけるスループットにより、90秒以下で行なうのが妥当であるという結論に至った。以上より、電荷蓄積膜に蓄積された不要な電荷を除去するという目的と、製造におけるスル

ーブットの確保とを考慮すると、水素プラズマ処理を40秒～90秒間で行なうのが最適であると判断した。

【0015】

また、水素プラズマ処理の代わりに水素アニール処理を行なって電荷蓄積膜に蓄積された不要な電荷を除去するためには、上述した電荷蓄積膜に蓄積された不要な電荷を除去するという目的と、製造におけるスルーブットの確保とを考慮すると、30分～90分間で行なうのが最適であると判断した。

【0016】

このように、本発明は、製造工程を増やすことなく、水素プラズマ処理（または水素アニール処理）を利用し、その諸条件を調整することで本発明の目的である電荷蓄積膜に不要な電荷が蓄積されるのを回避し、閾値電圧を安定させることを実現するものである。

【0017】

ー本発明を適用した具体的な実施形態ー

次に、添付図面を参照しながら、本発明における半導体記憶装置及びその製造方法の骨子を踏まえた実施形態について説明する。本実施形態では、半導体記憶装置の一例として、埋め込みビットライン型のSONOS構造の半導体記憶装置を開示する。この半導体記憶装置は、メモリセル領域（コア領域）のSONOSトランジスタがプレーナ型とされており、周辺回路領域にはCMOSトランジスタが形成されてなるものである。

【0018】

図1～図6は、本実施形態における埋め込みビットライン型のSONOSトランジスタを含む半導体記憶装置の製造方法を工程順に示した概略断面図である。ここで、各図の左側がコア領域のゲート電極（ワードライン）に平行な断面図、右側が周辺回路領域の断面図を示している。

【0019】

まず、図1（a）に示すように、熱酸化処理により、P型シリコン（Si）からなる半導体基板1上にシリコン酸化膜（SiO₂膜）11を膜厚20nm程度で形成する。その後、フォトリソグラフィにより、周辺回路領域のトランジスタ

タ形成領域を開口するようにレジストパターン 3 1 を形成して、全面にリン (P) をイオン注入した後、アニール処理により不純物を熱拡散させ、N ウエル 2 を形成する。その後、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 1 を除去する。

【 0 0 2 0 】

続いて、図 1 (b) に示すように、フォトリソグラフィーにより、周辺回路領域の NMOS トランジスタ形成領域を開口するようにレジストパターン 3 2 を形成して、全面にホウ素 (B) をイオン注入した後、アニール処理により不純物を熱拡散させ、NMOS トランジスタ形成領域でトリプルウエル構造構造となるように、P ウエル 3 を形成する。その後、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 2 を除去する。

【 0 0 2 1 】

続いて、図 1 (c) に示すように、CVD 法により、シリコン酸化膜 1 1 上にシリコン窒化膜 1 2 を膜厚 1 0 0 nm 程度で堆積する。そして、フォトリソグラフィーにより、周辺回路領域の素子分離領域を開口するようにレジストパターン 3 3 を形成し、ドライエッチングにより、素子分離領域のシリコン窒化膜 1 2 を開口する。その後、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 3 を除去する。

【 0 0 2 2 】

続いて、図 1 (d) に示すように、いわゆる LOCOS 法により、シリコン窒化膜 1 2 で覆われていない部分にのみ、厚い素子分離用のシリコン酸化膜 1 3 を形成し、素子活性領域を画定する。その後、ドライエッチングにより、シリコン窒化膜 1 2 を除去する。

【 0 0 2 3 】

続いて、図 2 (a) に示すように、フォトリソグラフィーにより、ビットライン形状のレジストパターン 3 4 を形成し、これをマスクとして全面に砒素 (As) をイオン注入した後、アニール処理により不純物を熱拡散させる。これにより、コア領域にソース/ドレインと兼用のビットライン拡散層 4 が形成される。その後、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 4 を除去する

【 0 0 2 4 】

続いて、図 2 (b) に示すように、フッ酸 (HF) によるウエットエッチングにより、シリコン酸化膜 1 1 を除去し、コア領域及び周辺回路領域の各素子活性領域における半導体基板 1 の表面を露出させる。

【 0 0 2 5 】

続いて、図 2 (c) に示すように、熱酸化処理により、半導体基板 1 上にトンネル酸化膜 (シリコン酸化膜) 1 4 を膜厚 7 nm 程度で形成する。次に、CVD 法により、トンネル酸化膜 1 4 上にシリコン窒化膜 1 5 を膜厚 1 0 nm 程度で堆積する。さらに、CVD 法により、シリコン窒化膜 1 5 上にシリコン酸化膜 1 6 を膜厚 7 nm 程度で堆積する。これにより、トンネル酸化膜 1 4、シリコン窒化膜 1 5、シリコン酸化膜 1 6 の 3 つの膜からなる ONO 膜 1 0 0 が形成される。また、シリコン窒化膜 1 5 は、半導体記憶装置において、電荷を蓄積する電荷蓄積膜として機能する。

【 0 0 2 6 】

続いて、図 2 (d) に示すように、フォトリソグラフィーにより、周辺回路領域を開口するようにレジストパターン 3 5 を形成し、ドライエッチングにより、周辺回路領域の ONO 膜 1 0 0 を除去する。その後、 O_2 プラズマを用いた灰化処理等によりレジストパターン 3 5 を除去する。

【 0 0 2 7 】

続いて、図 3 (a) に示すように、半導体基板 1 の表面を温度 1 0 0 0 °C 程度の温度条件で高温加熱して、シリコン酸化膜 (SiO_2 膜) を膜厚 8 nm 程度で形成した後、フォトリソグラフィーにより、周辺回路領域の PMOS トランジスタ形成領域を開口するように不図示のレジストパターンを形成して、フッ酸 (HF) によるウエットエッチングにより、PMOS トランジスタ形成領域のシリコン酸化膜を除去する。さらに、 O_2 プラズマを用いた灰化処理等によりこの不図示のレジストパターンを除去した後、再度、半導体基板 1 の表面を温度 1 0 0 0 °C 程度の温度条件で高温加熱して、シリコン酸化膜を膜厚 1 0 nm 程度で形成して、PMOS トランジスタ形成領域に膜厚 1 0 nm 程度のゲート絶縁膜 1 7 a と

、NMOSトランジスタ形成領域に膜厚13nm程度のゲート絶縁膜17bとの異なる2種類のゲート絶縁膜を形成する。

【0028】

続いて、図3（b）に示すように、CVD法により、コア領域及び周辺回路領域に多結晶シリコン膜18を膜厚100nm程度で堆積する。さらに、CVD法により、多結晶シリコン膜18上にタングステンシリサイド19を膜厚150nm程度で堆積する。

【0029】

続いて、図3（c）に示すように、フォトリソグラフィー及びそれに続くドライエッチングにより、タングステンシリサイド19及び多結晶シリコン膜18をパターニングし、コア領域及び周辺回路領域のPMOSトランジスタ形成領域とNMOSトランジスタ形成領域に、タングステンシリサイド19及び多結晶シリコン膜18からなるゲート電極をそれぞれ形成する。このとき、コア領域には、このゲート電極をビットライン拡散層4と略直交するように形成する。

【0030】

さらに、周辺回路領域にのみ、LDD構造からなるソース／ドレイン20、21を形成する。

具体的に、PMOSトランジスタ形成領域には、ゲート電極の両側における半導体基板1の表面にp型不純物をイオン注入し、エクステンション領域22を形成する。他方、NMOSトランジスタ形成領域には、ゲート電極の両側における半導体基板1の表面にn型不純物をイオン注入し、エクステンション領域23を形成する。

【0031】

次に、CVD法により、全面にシリコン酸化膜を堆積した後、このシリコン酸化膜の全面を異方性エッチング（エッチバック）して、各ゲート電極の両側面のみシリコン酸化膜を残し、サイドウォール24を形成する。

【0032】

そして、PMOSトランジスタ形成領域には、ゲート電極及びサイドウォール24の両側における半導体基板1の表面にp型不純物をイオン注入し、エクステ

ンション領域 2 2 と一部重畳されてなる深いソース／ドレイン 2 0 を形成する。他方、NMOS トランジスタ形成領域には、ゲート電極及びサイドウォール 2 4 の両側における半導体基板 1 の表面に n 型不純物をイオン注入し、エクステンション領域 2 3 と一部重畳されてなる深いソース／ドレイン 2 1 を形成する。

【 0 0 3 3 】

その後、CVD 法により、全面に B P S G 膜または高密度プラズマによるシリコン酸化膜からなる絶縁膜 2 5 を堆積した後、さらに、CMP 法により、堆積した絶縁膜 2 5 を平坦化する。ここで、コア領域の概略図を図 4 (a) に示し、また、図 4 (b) に図 4 (a) における I - I 断面図と、I I - I I 断面図を示す。

【 0 0 3 4 】

続いて、図 5 (a) 及び図 5 (b) に示すように、フォトリソグラフィー及びそれに続くドライエッチングにより、絶縁膜 2 5 中に引出し電極用のコンタクトホール 2 6 を形成する。ここで、コア領域の概略図を図 5 (a) に示し、また、図 5 (b) に図 5 (a) における I - I 断面図と、I I I - I I I 断面図を示す。図 5 (a) に示すように、本実施形態においては、ビットライン拡散層 4 には、配線で裏打ちするためのコンタクトホール 2 6 がワード線 1 9 の 1 6 本につき 1 本の割合で所定箇所に形成されている。さらに、ビットライン拡散層 4 に対して、実質的に配線接続を行なわないダミーコンタクトホール 2 6 a の形成も行なう。

【 0 0 3 5 】

続いて、フッ酸 (H F) を含む洗浄液を用いて半導体基板表面を清浄化する処理 (フッ酸前処理) あるいはプラズマを用いて半導体基板表面を清浄化する処理 (プラズマ前処理) を行なった後、図 6 (a) に示すように、IMP 法により、高融点金属であるチタン膜 (T i 膜) 2 7 を膜厚 5 n m ~ 8 0 n m で形成する。さらに、例えば T D M A T を原材料とする C V D 法により、チタン膜 2 7 上にチタンナイトライド膜 (T i N 膜) 2 8 を膜厚 5 ~ 5 0 n m で形成する。ここで、図 6 (a) には、図 5 (a) に示したコア領域における I - I 断面図と、I I I - I I I 断面図を示している。

【 0 0 3 6 】

本実施形態では、チタンナイトライド膜 2 8 を C V D 法により成膜するとき、例えばその成膜を膜厚 5 n m で行なった後、水素プラズマ処理を温度 3 5 0 ℃ ～ 4 5 0 ℃、時間 4 0 秒 ～ 9 0 秒間行なう。このときのチタンナイトライド膜 2 8 の成膜温度は 3 5 0 ℃ ～ 4 5 0 ℃ 程度である。このチタンナイトライド膜 2 8 の成膜を膜厚 5 n m で行なって、その後に水素プラズマ処理を例えば 7 0 秒間行なう工程を複数回繰り返してもよい。また、水素プラズマ処理の条件としては、例えば、水素 (H_2) 流量 3 0 0 s c c m、窒素 (N_2) 流量 2 0 0 s c c m、高周波 (R F) 電力 7 5 0 W、高周波周波数 3 5 0 k H z にて行なう。この水素プラズマ処理を行なうことにより、製造工程を通じてシリコン窒化膜 1 5 に蓄積された不要な電荷を除去することができる。また、電力を例えば 8 5 0 W にすることにより、水素ラジカルの密度を向上させ効果を高めることができる。さらに、水素プラズマ処理をチタンナイトライド膜 2 8 成膜前に実施することにより、T D M A T を原材料とするチタンナイトライドの副生成物であるメチルアミン ($H N C H_3$) 系の生成に消費されることなく、コンタクトホールを介して水素ラジカルを効率的に拡散させることが可能となる。または、この水素プラズマ処理をチタン膜 2 7 成膜前に実施することにより、チタンに水素がゲッターリングされることなくコンタクトホールを介して効率的に拡散させることが可能となる。

【 0 0 3 7 】

また、チタンナイトライド膜 2 8 の成膜を T D M A T を原材料とする C V D 法により行なった場合には、その後に水素プラズマ処理を 3 5 秒間以上で行なっているため、T D M A T に含まれるカーボン等による異物も除去することができる。

【 0 0 3 8 】

ここで、上述した水素プラズマ処理は、いわゆる I C P 法による 2 周波法等を用いた水素プラズマ処理を行なってもよい。また、水素プラズマ処理の代わりに、水素アニールを温度 4 0 0 ℃ ～ 4 5 0 ℃ 程度、時間 3 0 分 ～ 9 0 分程度を行なっても上述の効果を奏することができる。

【 0 0 3 9 】

続いて、図 6 (b) に示すように、CVD 法により、全面にタングステン (W) を堆積した後、さらに、CMP 法により、堆積したタングステンを平坦化して、コンタクトホール 26 に埋め込まれたタングステン・プラグ 29 を形成する。

【0040】

しかる後に、アルミ配線などの各種配線層を形成し、最上層に保護絶縁膜（ともに不図示）を形成することにより、半導体基板 1 上に、コア領域には SONOS 型のメモリセルのアレイが形成され、周辺回路領域には CMOS 型のトランジスタが形成される。このとき、コア領域のビットライン拡散層 4 は、配線で裏打ちされる。また、図 5 (a) に示すダミーコンタクトホール 26a に対しては、上述の各種配線層の形成において、配線の接続は行なわない。

以上の工程を経ることで、本実施形態の半導体記憶装置が完成する。

【0041】

本実施形態では、チタンナイトライド膜 28 を CVD 法により成膜するときに、水素プラズマ処理を行なっているが、本発明はこれに限定されるわけではなく、電荷蓄積膜であるシリコン窒化膜 15 の形成後に、当該シリコン窒化膜 15 に対して水素プラズマ処理を行なうようにしたものであれば、適用することが可能であり、例えば、コンタクトホール 26 の形成後の上述したプラズマ前処理にて行なうことや、チタン膜 27 を形成した後に当該水素プラズマ処理を行なってもよい。

【0042】

また、素子分離法として、LOCOS 法を用いたが、STI (Shallow Trench Isolation) 法を用いてもよい。また、ゲート電極は、多結晶シリコン膜上にタングステンシリサイドを形成したが、コバルトなどを用いて、サリサイド化してもよい。また、SONOS 構造を有する半導体記憶装置のコア領域は、プレーナ型で形成されているが、いわゆるビットライン酸化方式で形成されていてもよい。また、半導体基板は N 型でもよく、結晶面方位は (100) でも (111) でもよい。また、ビットラインの裏打ちはワードライン 8 本につき 1 本でも、32 本につき 1 本でも、20 本につき 1 本でもよい。また、本実施形態におけるコア領域のメモリセルアレイの構造は仮想接地型であるが、NOR 型でも、NAND

型でも、その他の構造でもよい。

【 0 0 4 3 】

本実施形態によれば、電荷蓄積膜であるシリコン窒化膜 1 5 の形成後に、シリコン窒化膜 1 5 に対して水素プラズマ処理を行なってこのシリコン窒化膜 1 5 に蓄積された電荷を除去するようにしたので、半導体記憶装置の製造工程を通じてシリコン窒化膜 1 5 に蓄積された不要な電荷を効率的に除去することができる。これにより、半導体記憶装置の閾値電圧 (V_{th}) を安定化させることができる。また、水素プラズマ処理を 9 0 秒以下で行なうことにより、製造におけるスループットを確保することができる。

【 0 0 4 4 】

また、配線で裏打ちするためのコンタクトホール 2 6 以外に、実質的に配線接続を行なわないダミーコンタクトホール 2 6 a を形成するようにしたので、水素プラズマ処理による水素ラジカル (H^*)、あるいは水素アニール処理による水素 (H_2) をコンタクトホール 2 6 のみならずダミーコンタクトホール 2 6 a から半導体基板内部に拡散させることができるため、より効果的にシリコン窒化膜 1 5 に蓄積された不要な電荷を除去することができる。

【 0 0 4 5 】

－半導体記憶装置の特性検証結果－

図 7 は、本実施形態における SONOS 型半導体記憶装置の閾値電圧 (V_{th}) の初期特性を示した図である。

本実施形態においては、電荷蓄積膜 1 5 の形成後に行なう水素プラズマ処理を 4 0 秒～9 0 秒間で行なうこととしたが、本特性図では、比較例として水素プラズマ処理を 3 5 秒間行なったものを挙げ、水素プラズマ処理を 7 0 秒間行なったものと比較したものを示す。

【 0 0 4 6 】

図 7 において、横軸は閾値電圧の相対値 (V)、縦軸は測定した半導体記憶装置の個数 (頻度) であり、特性図中の太線は水素プラズマ処理を 7 0 秒間行なった半導体記憶装置、特性図中の細線は水素プラズマ処理を 3 5 秒間行なった半導体記憶装置の特性である。

【 0 0 4 7 】

この特性図より、水素プラズマ処理を 7 0 秒間行なった半導体記憶装置の特性は、閾値電圧のばらつきが少なく、かつ閾値電圧が低電圧側に分布していることがわかる。これは、水素プラズマ処理を 7 0 秒間行なったものは、電荷蓄積膜 1 5 に蓄積された不要なマイナス電荷（電子）を効果的に除去することができるために、閾値電圧のばらつきが少なく、かつ閾値電圧の低い特性が得られたものと考えられる。

【 0 0 4 8 】

一方、水素プラズマ処理を 3 5 秒間行なった半導体記憶装置の特性は、閾値電圧のばらつきが大変大きく、かつ閾値電圧が高電圧側に分布していることがわかる。これは、水素プラズマ処理を 3 5 秒間行なったものは、電荷蓄積膜 1 5 に蓄積された不要なマイナス電荷（電子）を効果的に除去することができずに、閾値電圧のばらつきが少なく、かつ電荷蓄積膜 1 5 に不要な電荷が蓄積されているために閾値電圧の高い特性となってしまうと考えられる。

【 0 0 4 9 】

図 7 に示した検証結果により、水素プラズマ処理を所定時間（4 0 秒以上）行なうことで、閾値電圧の安定した半導体記憶装置とすることができることを実証できた。

【 0 0 5 0 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 0 5 1 】

（付記 1） 電荷を蓄積するための電荷蓄積膜を形成する工程と、

前記電荷蓄積膜を形成した後、前記電荷蓄積膜に対して水素プラズマ処理を行なって前記電荷蓄積膜に蓄積された電荷を除去する工程とを有すること特徴とする半導体記憶装置の製造方法。

【 0 0 5 2 】

（付記 2） 前記プラズマ処理を 4 0 秒～9 0 秒間で行なうことを特徴とする付記 1 に記載の半導体記憶装置の製造方法。

【 0 0 5 3 】

(付記 3) 前記電荷蓄積膜を形成した後に、配線を接続するためのコンタクトホールを形成し、当該コンタクトホールを介して前記水素プラズマ処理を行なうことを特徴とする付記 1 または 2 に記載の半導体記憶装置の製造方法。

【 0 0 5 4 】

(付記 4) 前記コンタクトホールの内壁に沿ってバリアメタルを形成前、形成中または形成後に、前記水素プラズマ処理を行なうことを特徴とする付記 3 に記載の半導体記憶装置の製造方法。

【 0 0 5 5 】

(付記 5) 前記バリアメタルの膜厚が 5 n m 以下であることを特徴とする付記 4 に記載の半導体記憶装置の製造方法。

【 0 0 5 6 】

(付記 6) 前記水素プラズマ処理を 3 5 0 ℃ ～ 4 5 0 ℃ で行なうことを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【 0 0 5 7 】

(付記 7) 電荷を蓄積するための電荷蓄積膜を形成する工程と、
前記電荷蓄積膜を形成した後、前記電荷蓄積膜に対して水素アニール処理を行なって前記電荷蓄積膜に蓄積された電荷を除去する工程と
を有すること特徴とする半導体記憶装置の製造方法。

【 0 0 5 8 】

(付記 8) 前記水素アニール処理を 3 0 分 ～ 9 0 分間で行なうことを特徴とする付記 7 に記載の半導体記憶装置の製造方法。

【 0 0 5 9 】

(付記 9) 前記電荷蓄積膜を形成した後に、配線を接続するためのコンタクトホールを形成し、当該コンタクトホールを介して前記水素アニール処理を行なうことを特徴とする付記 7 または 8 に記載の半導体記憶装置の製造方法。

【 0 0 6 0 】

(付記 1 0) 前記水素アニール処理を 4 0 0 ℃ 以上で行なうことを特徴とする付記 7 ～ 9 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【 0 0 6 1 】

(付記 1 1) 前記電荷蓄積膜が窒化膜、酸化膜と窒化膜とからなる 2 層膜、酸化膜と窒化膜と酸化膜とからなる 3 層膜のいずれかであることを特徴とする付記 1 ～ 1 0 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【 0 0 6 2 】

(付記 1 2) 電荷を蓄積するための電荷蓄積膜を有する半導体記憶装置であって、

配線を接続するための第 1 のコンタクトホールに加えて、配線の接続を行わず、前記電荷蓄積膜に対して水素ラジカルまたは水素が拡散しやすくするための第 2 のコンタクトホールを設けることを特徴とする半導体記憶装置。

【 0 0 6 3 】

(付記 1 3) 前記電荷蓄積膜が窒化膜、酸化膜と窒化膜とからなる 2 層膜、酸化膜と窒化膜と酸化膜とからなる 3 層膜のいずれかであることを特徴とする付記 1 2 に記載の半導体記憶装置。

【 0 0 6 4 】

【発明の効果】

本発明によれば、半導体記憶装置の閾値電圧 (V_{th}) を安定化させることができ、信頼性の高い半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態における SONOS 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 2】

図 1 に引き続き、本発明の実施形態における SONOS 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 3】

図 2 に引き続き、本発明の実施形態における SONOS 型半導体記憶装置の製造方法を工程順に示した概略断面図である。

【図 4】

図 3 (e) における SONOS 型半導体記憶装置のコア領域の概略図である。

【図 5】

図 4 に引き続き、本発明の実施形態における SONOS 型半導体記憶装置の製造方法により形成された SONOS 型半導体記憶装置のコア領域の概略図である。

【図 6】

図 5 に引き続き、本発明の実施形態における SONOS 型半導体記憶装置のコア領域の製造方法を工程順に示した概略断面図である。

【図 7】

コア領域の SONOS トランジスタにおける閾値電圧 (V_{th}) の特性図である。

【符号の説明】

- 1 半導体基板
- 2 N ウエル
- 3 P ウエル
- 4 ビットライン拡散層
- 11 シリコン酸化膜
- 12 シリコン窒化膜
- 13 素子分離用のシリコン酸化膜
- 14 トンネル酸化膜
- 15 シリコン窒化膜 (電荷蓄積膜)
- 16 シリコン酸化膜
- 17 a, 17 b ゲート絶縁膜
- 18 多結晶シリコン膜
- 19 タングステンシリサイド (ワード線)
- 20, 21 ソース/ドレイン
- 22, 23 エクステンション領域
- 24 サイドウォール
- 25 絶縁膜
- 26 コンタクトホール

2 6 a ダミーコンタクトホール

2 7 チタン膜

2 8 チタンナイトライド膜

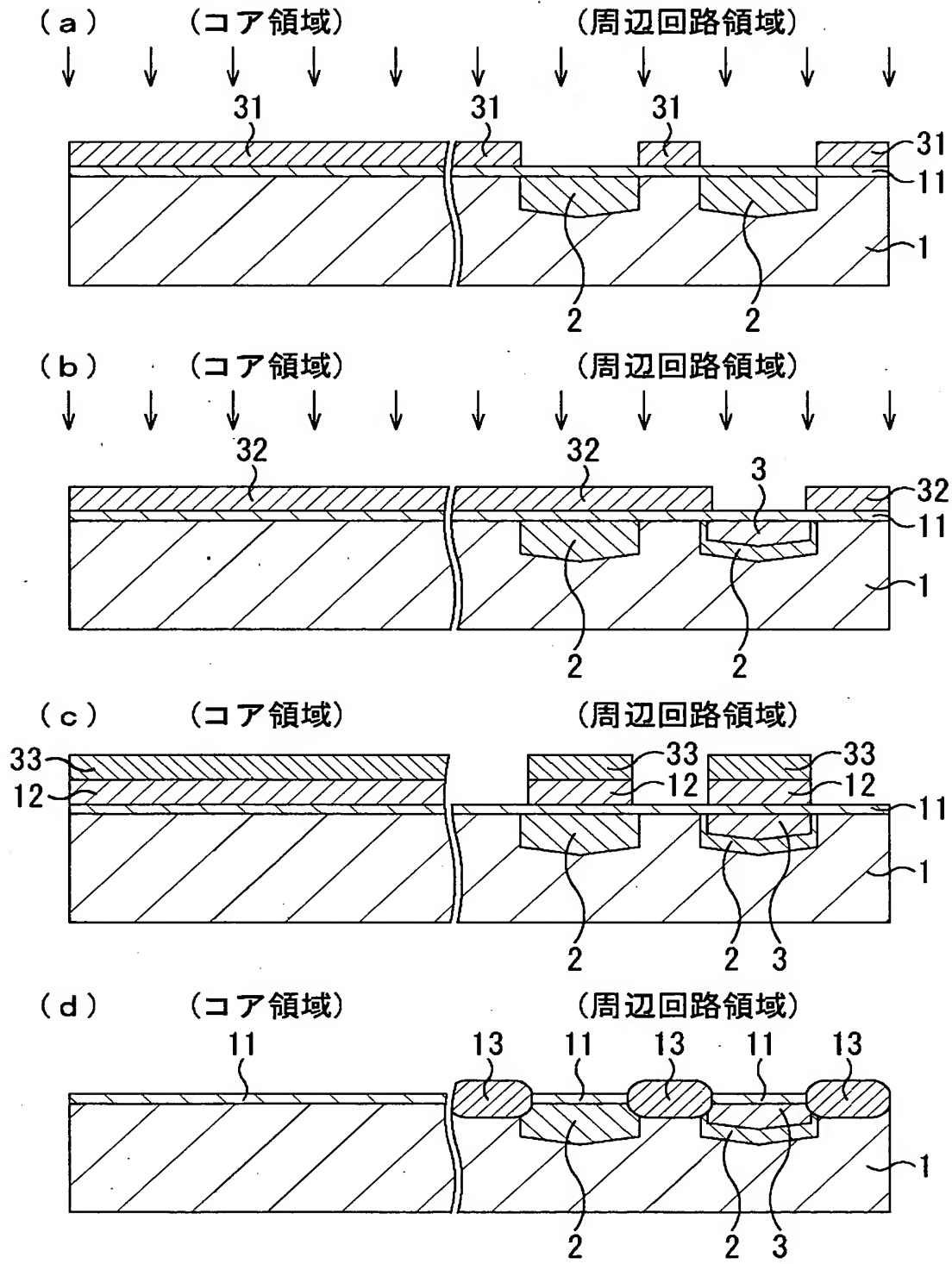
2 9 タングステン・プラグ

3 1 ~ 3 5 レジストパターン

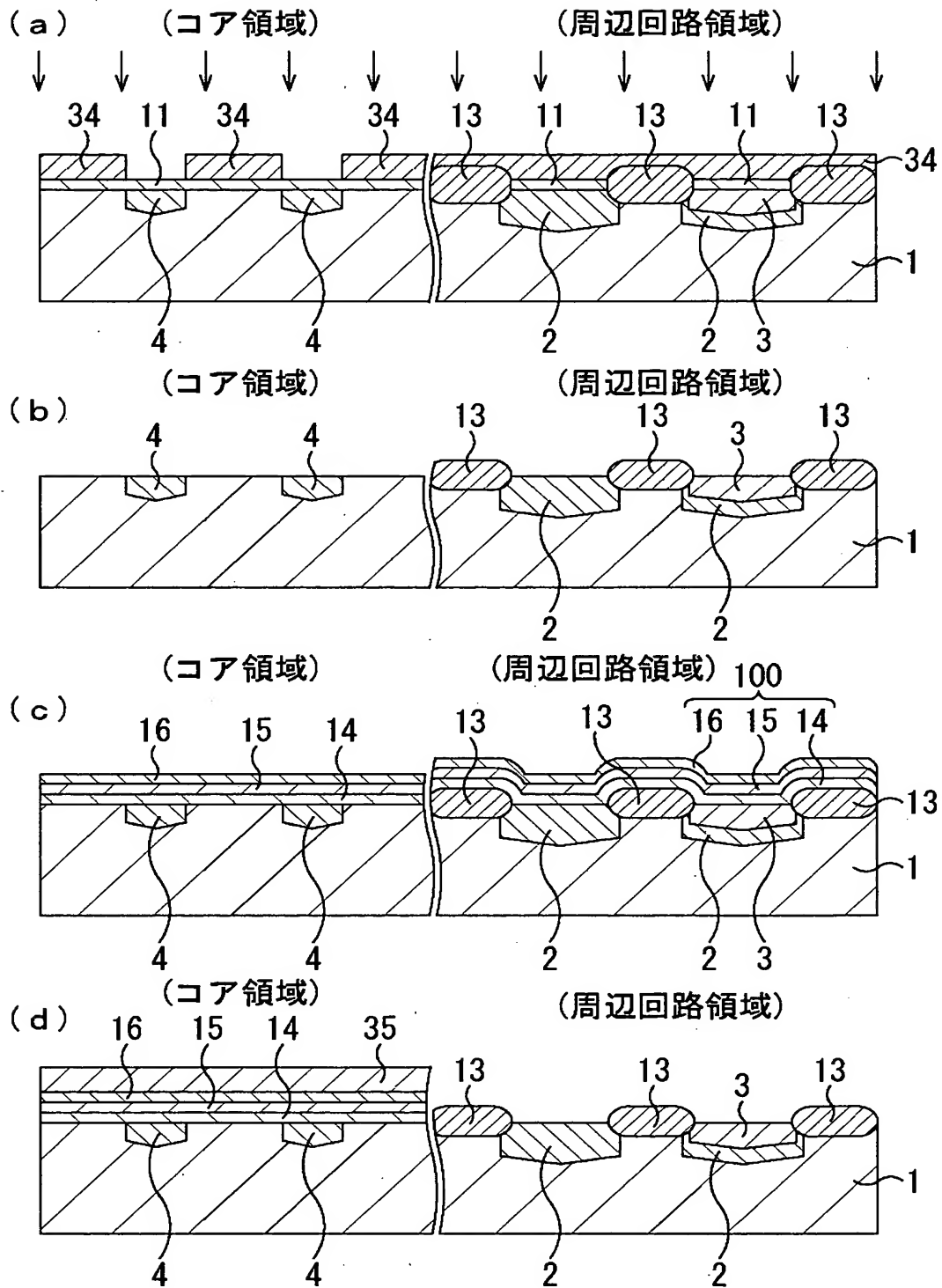
1 0 0 ONO膜

【書類名】 図面

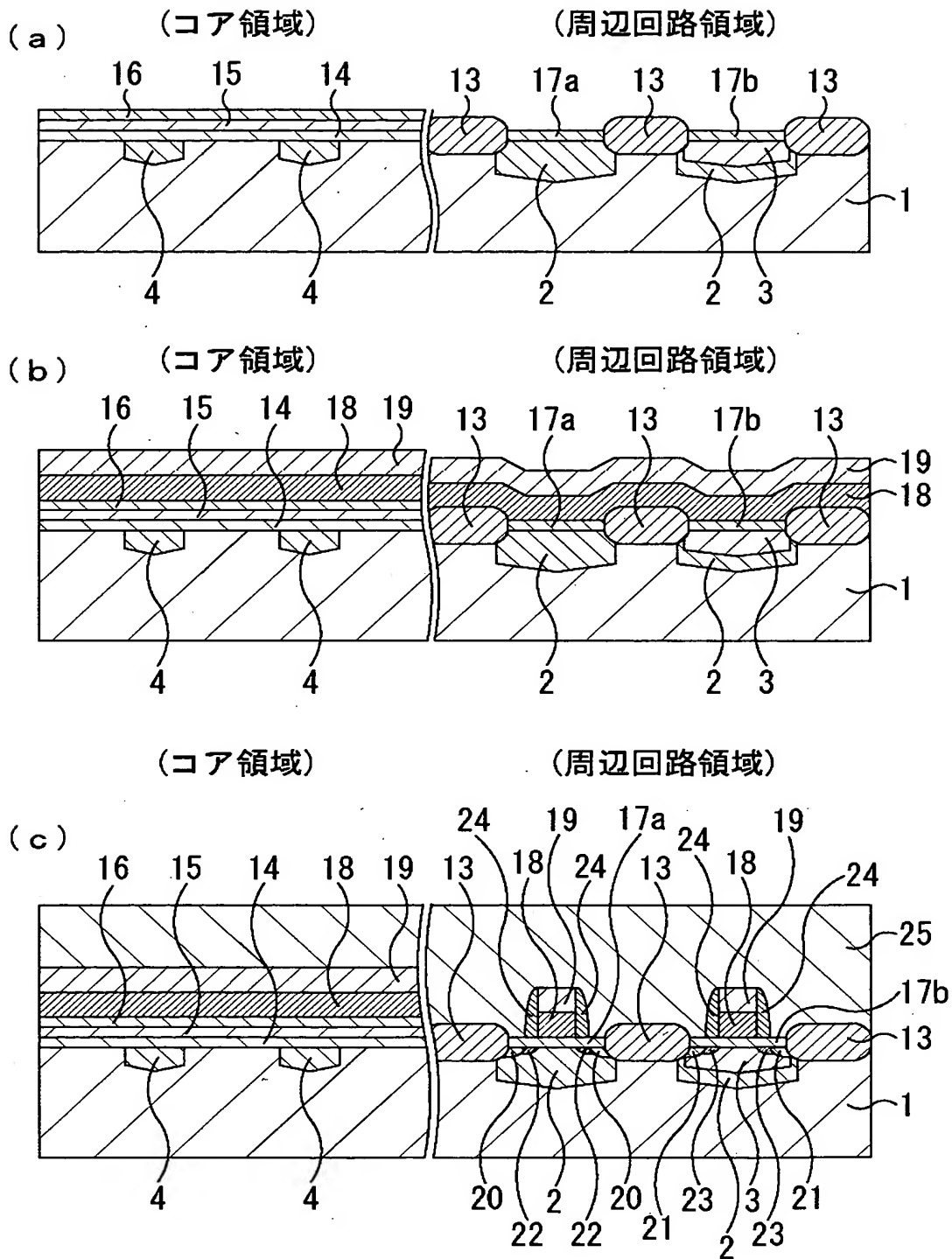
【図 1】



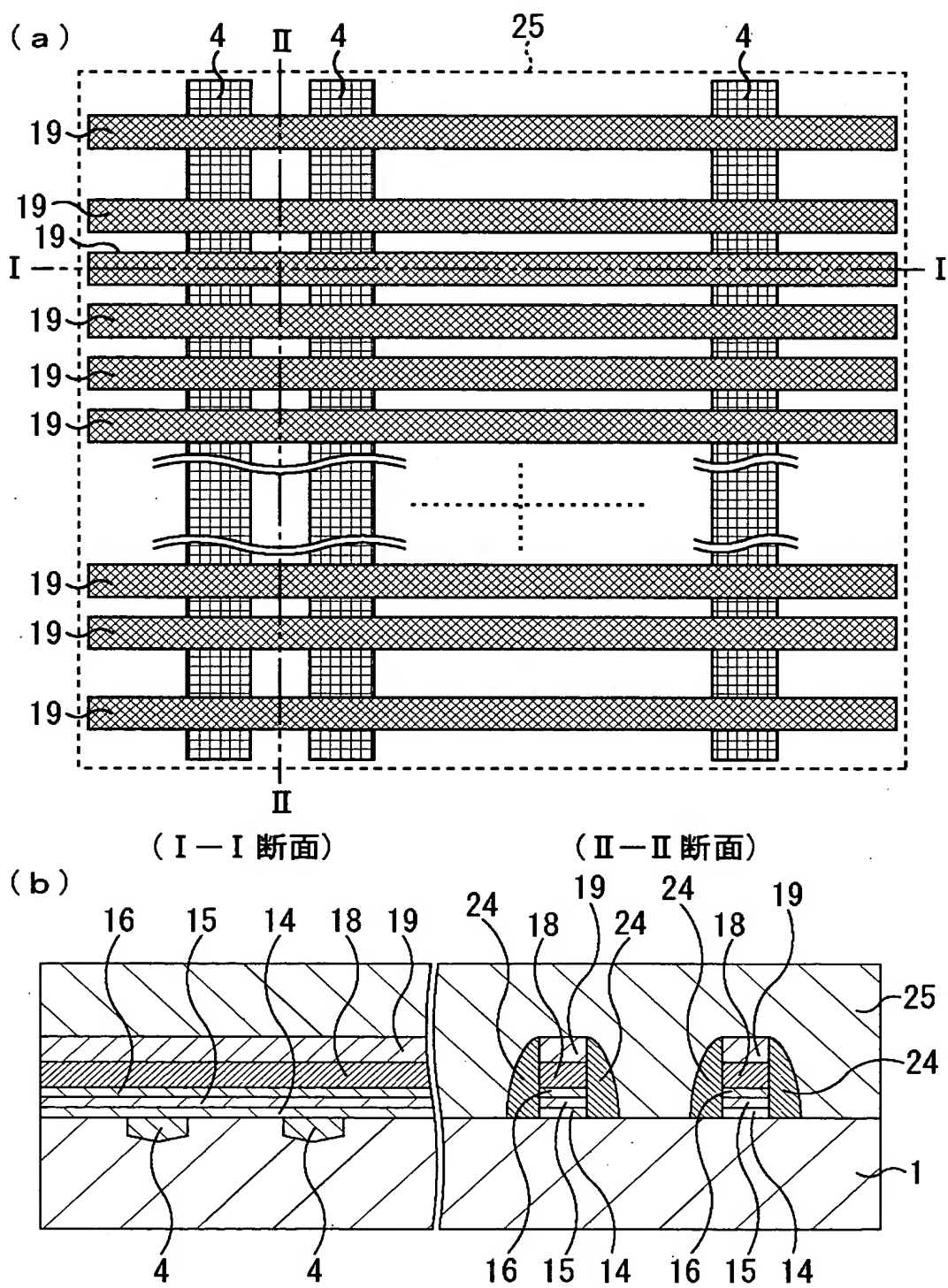
【図2】



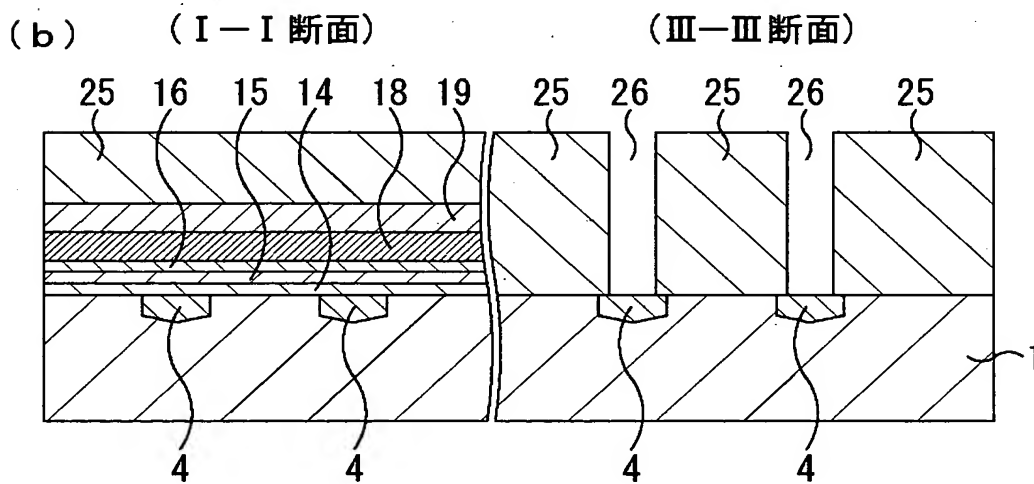
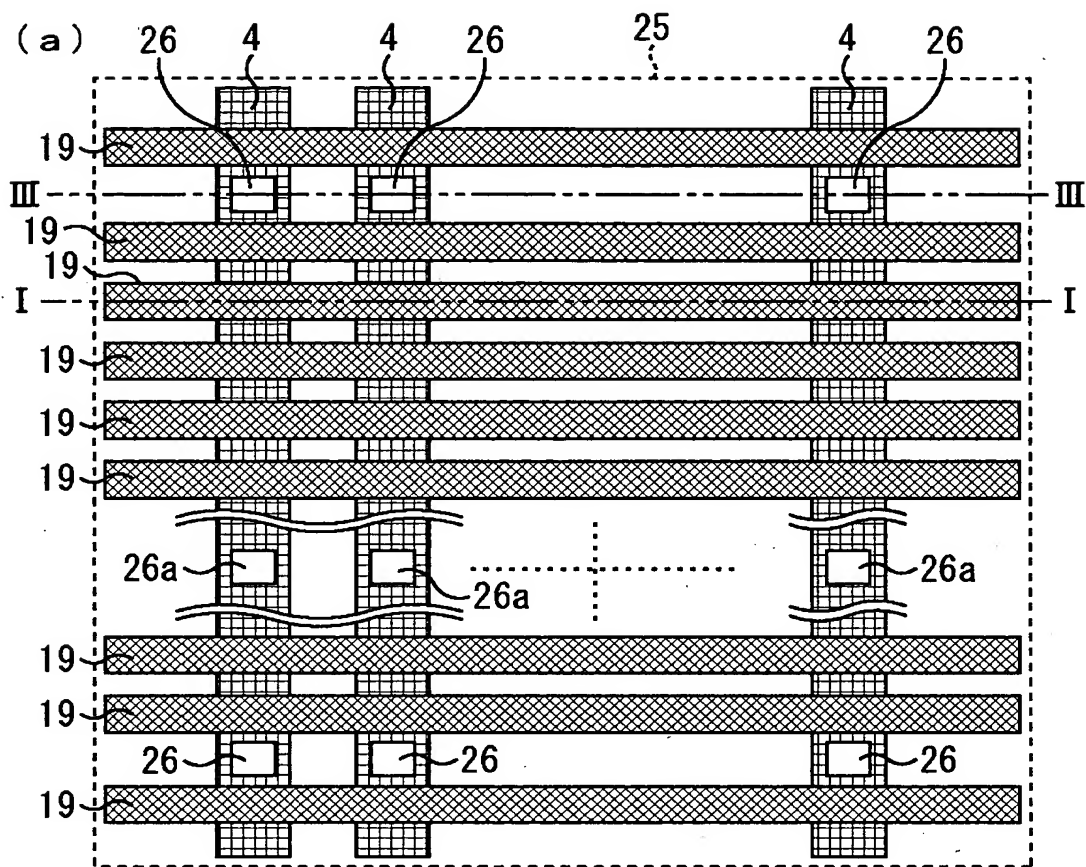
【図 3】



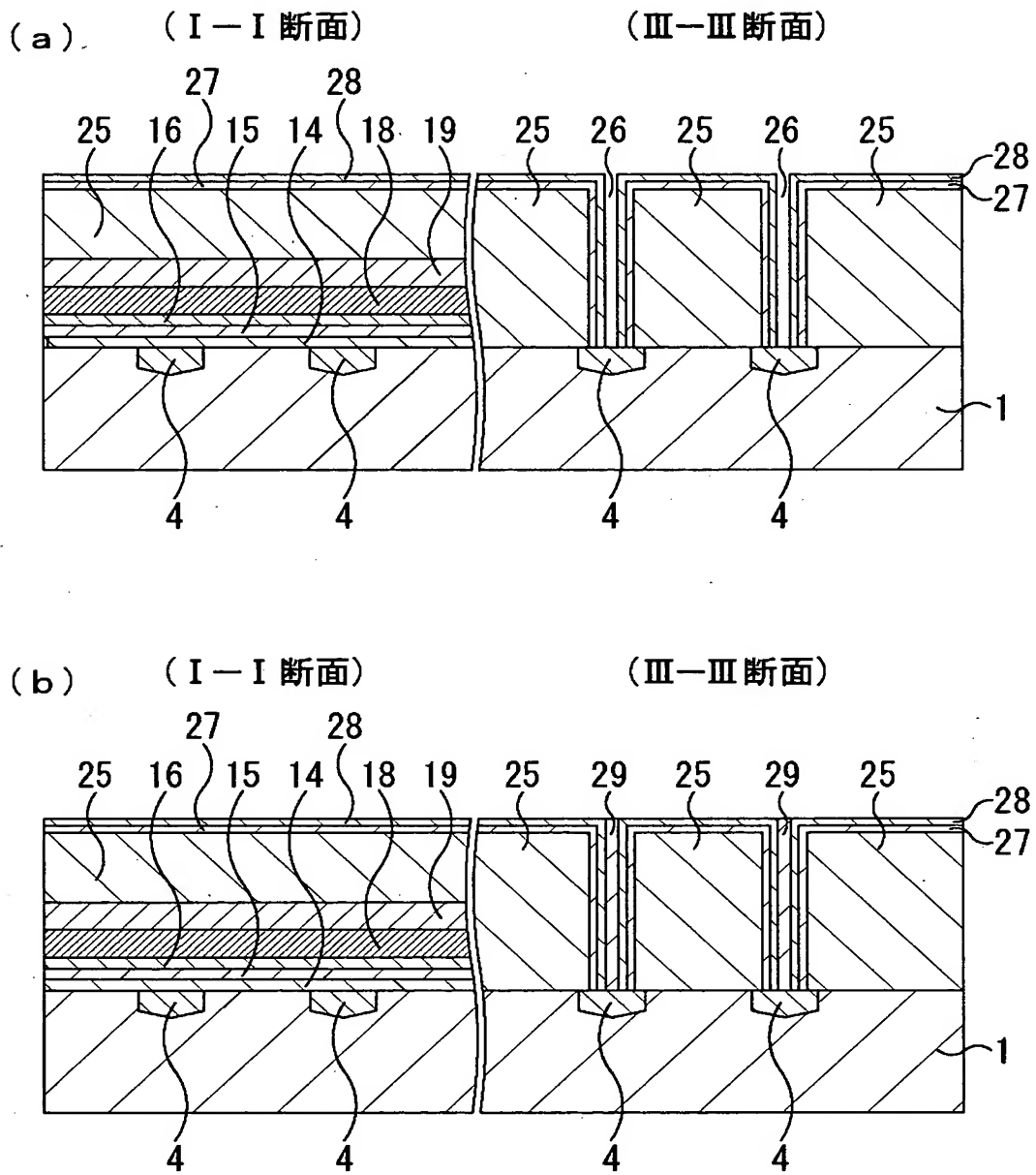
【図 4】



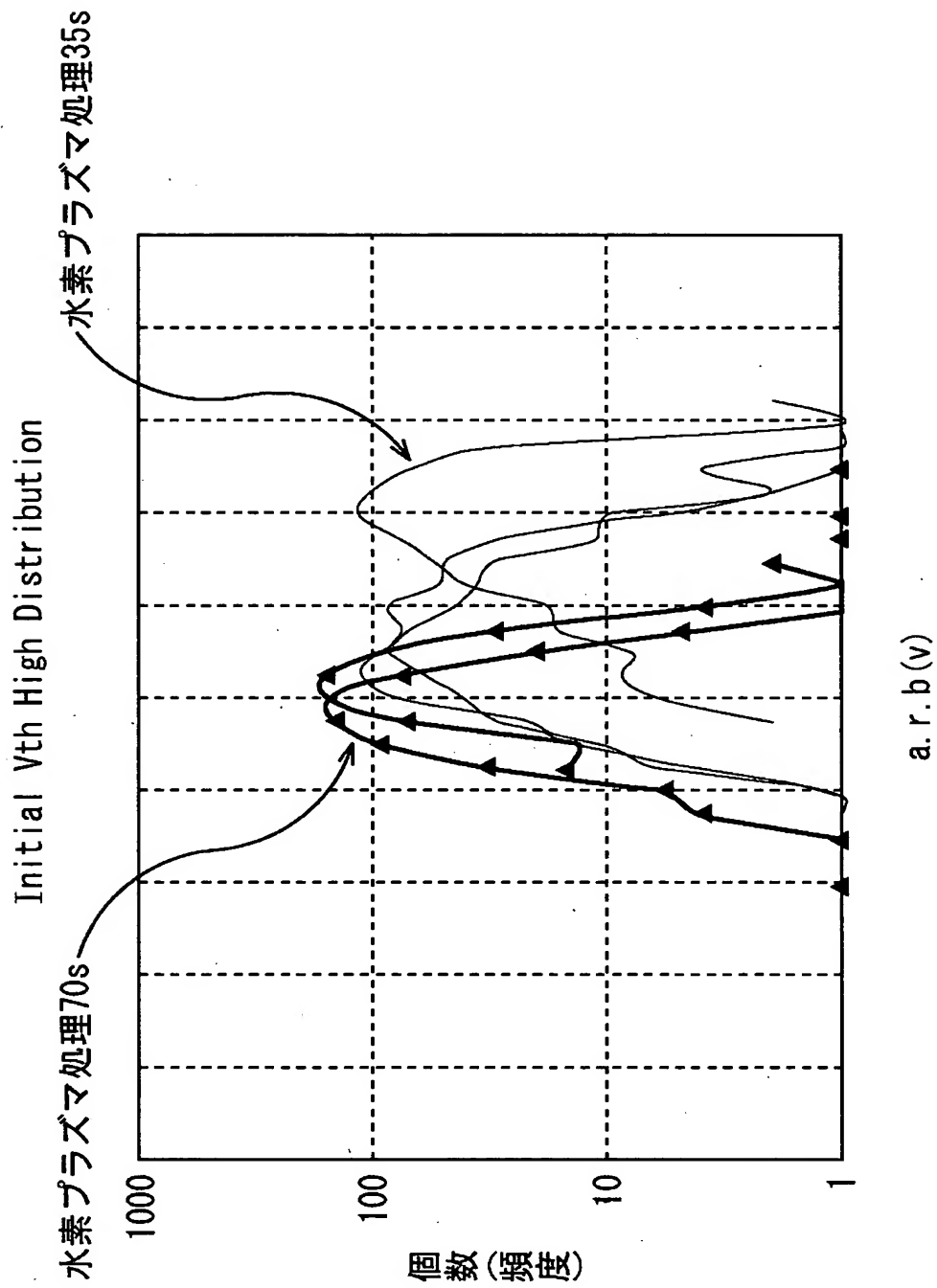
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 電荷蓄積膜に不要な電荷が蓄積されるのを回避して、閾値電圧を安定させる半導体記憶装置及びその製造方法を実現することができるようにする。

【解決手段】 半導体基板 1 上にトンネル酸化膜 1 4 を介して電荷の蓄積を行なうシリコン窒化膜 1 5 を形成した後、当該シリコン窒化膜 1 5 に対して水素プラズマ処理を行なってシリコン窒化膜 1 5 に蓄積された電荷を除去するようにして、半導体記憶装置の製造工程を通じてシリコン窒化膜 1 5 に蓄積された不要な電荷を効率的に除去することができるようにする。これにより、半導体記憶装置の閾値電圧 (V_{th}) を安定化させることができる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [596180124]

1. 変更年月日 1996年12月13日
[変更理由] 新規登録
住 所 福島県会津若松市門田町工業団地6番
氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社